

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104405

(43)Date of publication of application : 15.04.1994

(51)Int.Cl.

H01L 27/11

(21)Application number : 04-252626

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.1992

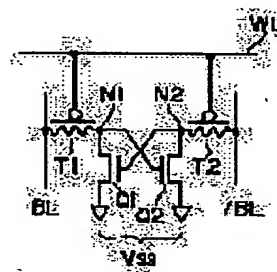
(72)Inventor : MATSUI MASAKI
HAYAKAWA MASAYUKI

(54) STATIC MEMORY

(57)Abstract

PURPOSE: To provide a highly integrated static memory, which can be produced with reduced cell area at low cost per-bit.

CONSTITUTION: A pair of NMOS transistors Q1 and Q2 constitute a flip-flop circuit. As transfer gates and load resistance, p-channel thin-film transistors T1 and T2 are provided between a bit line BL and a node N1 connected to a gate of the NMOS transistor Q2, and between a bit line/BL and a node N2 connected to a gate of the NMOS transistor Q1, respectively. These p-channel thin-film transistors T1 and T2 formed at an upper part overlap the NMOS transistors Q1 and Q2, at a lower part so that an area of circuit pattern can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

1

2

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第2導電型の第2の絶縁ゲートトランジスタと、

前記第1、第2の絶縁ゲートトランジスタの電流通路の他端に接続された電源配線と、

前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、ゲートがワード線に接続された第1の薄膜トランジスタと、

前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、ゲートが前記ワード線に接続された第2の薄膜トランジスタと、を具備することを特徴とするスタティック型メモリ。

【請求項2】 前記第1、第2の絶縁ゲートトランジスタとしてNチャネルMOSトランジスタを用い、第1、第2の薄膜トランジスタとしてPチャネル薄膜トランジスタを用い、前記ワード線を前記電源配線の電位と同電位として第1、第2の薄膜トランジスタを導通させ、前記ワード線を前記電源配線の電位より高電位として第1、第2の薄膜トランジスタを非導通とさせ、前記電源配線の電位より高電位のビット線読出し電位による第1、第2の薄膜トランジスタの非導通時のリーク電流によって、前記第1、第2の絶縁ゲートトランジスタにデータを保持することを特徴とする請求項1記載のスタティック型メモリ。

【請求項3】 前記第1、第2の絶縁ゲートトランジスタとしてNチャネルMOSトランジスタを用い、第1、第2の薄膜トランジスタとしてNチャネル薄膜トランジスタを用い、前記ワード線を前記電源配線の電位と同電位として第1、第2の薄膜トランジスタを非導通とさせ、前記ワード線を前記電源配線の電位より高電位として第1、第2の薄膜トランジスタを導通させ、前記電源配線の電位より高電位のビット線読出し電位による第1、第2の薄膜トランジスタの非導通時のリーク電流によって、前記第1、第2の絶縁ゲートトランジスタにデータを保持することを特徴とする請求項1記載のスタティック型メモリ。

【請求項4】 第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一

端に接続された第2導電型の第2の絶縁ゲートトランジスタと、

前記第1、第2の絶縁ゲートトランジスタの電流通路の他端に接続された電源配線と、

前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、第1のゲートがワード線に接続され、第2のゲートが前記第2の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第1の薄膜トランジスタと、

前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、第1のゲートが前記ワード線に接続され、第2のゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第2の薄膜トランジスタと、を具備することを特徴とするスタティック型メモリ。

【請求項5】 前記第1、第2の第1の薄膜トランジスタは第1のゲートによってオン状態とされた場合に流れる電流に対して、第2のゲートによってオン状態とされた場合に流れる電流が100分の1以下とされていることを特徴とする請求項4記載のスタティック型メモリ。

【請求項6】 前記第1、第2の第1の薄膜トランジスタの第2のゲートは、前記第1、第2の絶縁ゲートトランジスタのゲートと共用されていることを特徴とする請求項4記載のスタティック型メモリ。

【請求項7】 前記第1、第2の絶縁ゲートトランジスタは、第1、第2の薄膜トランジスタの非導通時のリーク電流によって、データを保持することを特徴とする請求項4記載のスタティック型メモリ。

【請求項8】 第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第2導電型の第2の絶縁ゲートトランジスタと、

前記第1、第2の絶縁ゲートトランジスタの電流通路の他端に接続された電源配線と、

前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、ゲートがワード線に接続された第2導電型の第1の薄膜トランジスタと、

前記第1の絶縁ゲートトランジスタと第1の薄膜トランジスタとの相互間に設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続さ

れ、電流通路の他端が前記第1のビット線に接続され、ゲートが前記第2の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第2の薄膜トランジスタと、

前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、ゲートが前記ワード線に接続された第2導電型の第3の薄膜トランジスタと、

前記第2の絶縁ゲートトランジスタと第3の薄膜トランジスタとの相互間に設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が前記第2のビット線に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第4の薄膜トランジスタと、

を具備することを特徴とするスタティック型メモリ。

【請求項9】 前記第1、第2の絶縁ゲートトランジスタは、第1乃至第4の薄膜トランジスタの非導通時のリーク電流によって、データを保持することを特徴とする請求項8記載のスタティック型メモリ。

【請求項10】 前記第1乃至第4の薄膜トランジスタの電流通路はアモロファス半導体によって構成されていることを特徴とする請求項1、4、8のいずれかに記載のスタティック型メモリ。

【請求項11】 前記第1乃至第4の薄膜トランジスタの電流通路は多結晶半導体によって構成されていることを特徴とする請求項1、4、8のいずれかに記載のスタティック型メモリ。

【請求項12】 前記第1乃至第4の薄膜トランジスタの電流通路は単結晶半導体によって構成されていることを特徴とする請求項1、4、8のいずれかに記載のスタティック型メモリ。

【請求項13】 前記電源配線は、半胴体基板内に設けられた拡散層によって構成されていることを特徴とする請求項1、4、8のいずれかに記載のスタティック型メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えばスタティック型メモリに係わり、特に、高集積化に適した面積の小さいスタティック型メモリに関する。

【0002】

【従来の技術】 図10は、従来のスタティック型メモリセルの一例を示すものである。このスタティック型メモリセルにおいて、フリップフロップを構成するNチャネルMOS電界効果トランジスタ（以下、NMOSTトランジスタと称す）Q1、Q2の電流通路の一端とゲートは互いに交差接続され、電流通路の他端はそれぞれ接地電

位 V_{ss} に接続されている。すなわち、前記NMOSTトランジスタQ1の電流通路の一端はNMOSTトランジスタQ2のゲートに接続され、前記NMOSTトランジスタQ2の電流通路の一端はNMOSTトランジスタQ1のゲートに接続されている。前記NMOSTトランジスタQ1の電流通路の一端、すなわち、相補型データの一方を保持するノードN1と電源 V_{DD} との相互間には抵抗R1が接続され、前記NMOSTトランジスタQ2の電流通路の一端、すなわち、相補型データの他方を保持するノードN2と電源 V_{CC} との相互間には抵抗R2が接続されている。前記ノードN1とビット線BLの相互間には、電流通路の一端および他端が接続されたトランスファージゲートとしてのNMOSTトランジスタQ3が接続されている。このNMOSTトランジスタQ3のゲートはワード線WLに接続されている。前記ノードN2とビット線BLの相互間には、電流通路の一端および他端が接続されたトランスファージゲートとしてのNMOSTトランジスタQ4が接続されている。このNMOSTトランジスタQ4のゲートは前記ワード線WLに接続されている。

【0003】 上記構成のスタティック型メモリセルは、一般に、高抵抗負荷型セルと呼ばれ、抵抗R1、R2をドーピングしないポリシリコンによって構成することにより、 $1T \sim 10T \Omega$ の抵抗値を得ることができる。このスタティック型メモリセルは、1Mビットの容量でも、消費電流を数 μA に抑えることが可能である。図11は、図10に示すスタティック型メモリセルのパターン平面図であり、図10と同一部分には同一符号を付す。

【0004】 同図において、フィールド酸化膜によって素子分離された拡散層10と第1のポリシリコン層（ゲートポリシリコン）11（WL）の交差部にNMOSTトランジスタQ1～Q4が形成されている。前記NMOSTトランジスタQ2のゲートを構成する第1のポリシリコン層11の一端は、コンタクト部12を介してNMOSTトランジスタQ1の拡散層10に接続され、これによりNMOSTトランジスタQ1、Q2が交差接続される。また、この前記NMOSTトランジスタQ2のゲートを構成する第1のポリシリコン層の他端はコンタクト部13において、NMOSTトランジスタQ3の拡散層10に接続されている。さらに、前記NMOSTトランジスタQ1のゲートを構成する第1のポリシリコン層の他端はコンタクト部14において、NMOSTトランジスタQ4の拡散層10に接続されている。

【0005】 また、抵抗R1、R2は第1のポリシリコン層の上方に設けられた図示せぬ第2のポリシリコン層によって構成され、この第2のポリシリコン層はコンタクト部15、16（ノードN1、N2）を介して、NMOSTトランジスタQ1～Q4の拡散層10に接続されている。このように、第2のポリシリコン層によって抵抗を構成することにより、セルレイアウトを縮小してい

る。

【0006】メモリセルの接地電位配線は、第2のポリシリコン層の上方に設けられた図示せぬ第3のポリシリコン層によって構成され、この第3のポリシリコン層は、コンタクト部17、18を介して拡散層10に接続されている。さらに、ビット線BL、/BLは、通常アルミニウム等の図示せぬ金属配線によって構成され、この金属配線は、コンタクト部19、20を介して拡散層10に接続されている。

【0007】上記構成のスタティック型メモリセルは、最小加工寸法が $0.5\mu\text{m}$ 、合わせ精度が $0.2\mu\text{m}$ を想定したものであり、MOSトランジスタを使用したセルの中では $18.2\mu\text{m}^2$ と最小の面積である。

【0008】

【発明が解決しようとする課題】ところで、上記スタティック型メモリセルは、1つのセル内に4つのトランジスタと、2つの抵抗素子、9つのコンタクト部を平面的に集積する必要がある。このため、上記加工寸法を使用して作成した1トランジスタ、1キャパシタのダイナミック型メモリセルに比べて、セル面積が約4倍となってしまう。したがって、ダイナミック型メモリセルに比べて動作が安定に関わらず、1ビット当たりのコストが高いものであった。

【0009】また、読出し時におけるセルの電気的な保持動作の安定のため、フリップフロップ用のNMOSトランジスタQ1、Q2の駆動電流能力を、トランスファゲート用のNMOSトランジスタQ3、Q4よりサイズを大きくする必要がある。このため、同一プロセスのシリコン基板上にNMOSトランジスタQ1~Q4を形成した場合、NMOSトランジスタQ1、Q2のゲート長、およびNMOSトランジスタQ3、Q4のゲート幅を最小加工寸法より大きくする必要がある、これもセル面積を大きくする一因となっている。さらに、メモリセル内に電源 V_{DD} の配線と、接地電位 V_{SS} の配線を設ける必要があるため、これもセル面積を大きくする一因となっている。

【0010】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、セル面積の増大を抑えて集積度を向上でき、1ビット当たりの製造コストを低下することが可能なスタティック型メモリを提供しようとするものである。

【0011】

【課題を解決するための手段】この発明は、上記課題を解決するため、第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第2導電型の第2の絶縁ゲートトランジスタと、前記第1、第2の絶縁ゲートトランジスタの電流通

路の他端に接続された電源配線と、前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、ゲートがワード線に接続された第1の薄膜トランジスタと、前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、ゲートが前記ワード線に接続された第2の薄膜トランジスタとを設けている。

【0012】また、前記第1、第2の絶縁ゲートトランジスタとしてNチャネルMOSトランジスタを用い、第1、第2の薄膜トランジスタとしてPチャネル薄膜トランジスタを用い、前記ワード線を前記電源配線の電位と同電位として第1、第2の薄膜トランジスタを導通させ、前記ワード線を前記電源配線の電位より高電位として第1、第2の薄膜トランジスタを非導通とさせ、前記電源配線の電位より高電位のビット線読出し電位による第1、第2の薄膜トランジスタの非導通時のリーク電流によって、前記第1、第2の絶縁ゲートトランジスタにデータを保持している。

【0013】さらに、前記第1、第2の絶縁ゲートトランジスタとしてNチャネルMOSトランジスタを用い、第1、第2の薄膜トランジスタとしてNチャネル薄膜トランジスタを用い、前記ワード線を前記電源配線の電位と同電位として第1、第2の薄膜トランジスタを非導通とさせ、前記ワード線を前記電源配線の電位より高電位として第1、第2の薄膜トランジスタを導通させ、前記電源配線の電位より高電位のビット線読出し電位による第1、第2の薄膜トランジスタの非導通時のリーク電流によって、前記第1、第2の絶縁ゲートトランジスタにデータを保持している。

【0014】また、この発明は、第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第2導電型の第2の絶縁ゲートトランジスタと、前記第1、第2の絶縁ゲートトランジスタの電流通路の他端に接続された電源配線と、前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、第2のゲートが前記第2の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第1の薄膜トランジスタと、前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジ

タの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、第1のゲートが前記ワード線に接続され、第2のゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第2の薄膜トランジスタとを設けている。

【0015】さらに、前記第1、第2の第1の薄膜トランジスタは第1のゲートによってオン状態とされた場合に流れる電流に対して、第2のゲートによってオン状態とされた場合に流れる電流が100分の1以下とされている。また、前記第1、第2の第1の薄膜トランジスタの第2のゲートは、前記第1、第2の絶縁ゲートトランジスタのゲートと共用されている。さらに、前記第1、第2の絶縁ゲートトランジスタは、第1、第2の薄膜トランジスタの非導通時のリーク電流によって、データを保持している。

【0016】さらに、この発明は、第1導電型の半導体基板内に形成された第2導電型の第1の絶縁ゲートトランジスタと、前記半導体基板内に形成され、前記第1の絶縁ゲートトランジスタのゲートが電流通路の一端に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第2導電型の第2の絶縁ゲートトランジスタと、前記第1、第2の絶縁ゲートトランジスタの電流通路の他端に接続された電源配線と、前記第1の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第1のビット線に接続され、ゲートがワード線に接続された第2導電型の第1の薄膜トランジスタと、前記第1の絶縁ゲートトランジスタと第1の薄膜トランジスタとの相互間に設けられ、電流通路の一端が前記第1の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が前記第1のビット線に接続され、ゲートが前記第2の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第2の薄膜トランジスタと、前記第2の絶縁ゲートトランジスタの上方に少なくとも一部が重ねて設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が第2のビット線に接続され、ゲートが前記ワード線に接続された第2導電型の第3の薄膜トランジスタと、前記第2の絶縁ゲートトランジスタと第3の薄膜トランジスタとの相互間に設けられ、電流通路の一端が前記第2の絶縁ゲートトランジスタの電流通路の一端に接続され、電流通路の他端が前記第2のビット線に接続され、ゲートが前記第1の絶縁ゲートトランジスタの電流通路の一端に接続された第1導電型の第4の薄膜トランジスタとを設けている。また、前記第1、第2の絶縁ゲートトランジスタは、第1乃至第4の薄膜トランジスタの非導通時のリーク電流によって、データを保持している。さらに、前記第1乃至第4の薄膜トランジスタの電流通路はアモロファス半導体によって

構成されている。また、前記第1乃至第4の薄膜トランジスタの電流通路は多結晶半導体によって構成されている。さらに、前記第1乃至第4の薄膜トランジスタの電流通路は単結晶半導体によって構成されている。また、前記電源配線は、半胴体基板内に設けられた拡散層によって構成されている。

【0017】

【作用】すなわち、この発明は、データを記憶するための第1、第2の絶縁ゲートトランジスタの上方に、電流通路の一端が前記第1、第2の絶縁ゲートトランジスタの電流通路の一端にそれぞれ接続され、電流通路の他端が第1、第2のビット線にそれぞれ接続され、ゲートがワード線に接続された第1、第2の薄膜トランジスタの少なくとも一部を重ねて設けている。したがって、第1、第2の薄膜トランジスタがトランスファージゲートと負荷抵抗を兼用するとともに、電源 V_{DD} を省略することができるため、回路素子を削減でき、回路パターンを従来に比べて縮小することができる。

【0018】また、第1、第2の薄膜トランジスタのゲートを二重構造としたり、導電型が異なる2つの薄膜トランジスタを組み合わせ使用することにより、回路動作を安定化することができる。

【0019】

【実施例】以下、この発明の実施例について、図面を参照して説明する。尚、図11と同一部分には同一符号を付し、異なる部分についてのみ説明する。図1は、この発明の第1の実施例を示すものである。図1において、図10と同一部分には同一符号を付す。

【0020】このスタティック型メモリセルにおいて、フリップフロップ回路を構成するNMOSTランジスタQ1、Q2の電流通路の一端とゲートは互いに交差接続され、電流通路の他端はそれぞれ接地電位 V_{SS} に接続されている。すなわち、前記NMOSTランジスタQ1の電流通路の一端はNMOSTランジスタQ2のゲートに接続され、前記NMOSTランジスタQ2の電流通路の一端はNMOSTランジスタQ1のゲートに接続されている。前記NMOSTランジスタQ1の電流通路の一端とNMOSTランジスタQ2のゲートが接続され、相補型データ的一方を保持するノードN1とビット線BLの相互間には、トランスファージゲートおよび負荷抵抗としてのPチャネル薄膜トランジスタT1の電流通路の一端および他端が接続されている。この薄膜トランジスタT1のゲートはワード線WLに接続されている。また、前記NMOSTランジスタQ2の電流通路の一端とNMOSTランジスタQ1のゲートが接続され、相補型データの他方を保持するノードN2とビット線BLの相互間には、トランスファージゲートおよび負荷抵抗としてのPチャネル薄膜トランジスタT2の電流通路の一端および他端が接続されている。この薄膜トランジスタT2のゲートは前記ワード線WLに接続されている。

【0021】上記構成において、データの読出し時は、選択するメモリセルに接続されたワード線WLが低電位とされ、薄膜トランジスタT1、T2がオン状態とされる。データの読出し時間は、薄膜トランジスタT1、T2のオン電流によって決定される。現状では、従来のメモリセルより電流が2桁以上低い為、読出し時間は、長くなる。しかし、薄膜トランジスタの製造技術の進歩に伴って、従来のメモリセルと同等の読出し時間を実現することが可能である。

【0022】一方、データの書き込み時は、選択するメモリセルに接続されたワード線WLが低電位とされ、薄膜トランジスタT1、T2がオン状態とされる。この状態において、ノードを低電位としたい側のビット線の電位を低電位とすることにより、高電位だったノードの電位が、薄膜トランジスタT1またはT2を介して放電され、フリップフロップ回路が反転する。この際、書き込みを行っているセルと同一のビット線に接続されたメモリセル群の高電位電圧が低下することとなる。したがって、この書き込み時間は、非選択状態のメモリセルのデータが破壊される以前に終了する必要がある。この書き込み時間を決定する薄膜トランジスタのオン電流はオフ電流よりも十分大きくする必要があり、オン電流/オフ電流比が100以上とする必要を有している。

【0023】また、非選択状態のメモリセルは、薄膜トランジスタT1、T2がオフ状態とされ、このオフ状態の薄膜トランジスタT1、T2を介してビット線BL、/BLからリークする電流によって書き込みデータが保持される。

【0024】通常、シリコン基板内に形成されたバルクNMOSTランジスタのオン電流は 10^{-3} A、オフ電流は 10^{-14} A以下とされている。一方、薄膜トランジスタは、近年、オン電流が 10^{-6} A、オフ電流が 10^{-12} A程度の特性を有している。このオフ電流を得るためには薄膜トランジスタのオフ時の等価抵抗を $1T\Omega$ とすればよい。このような薄膜トランジスタT1、T2を用いることにより、電源電位付近のビット線電位から、薄膜トランジスタT1、T2を負荷抵抗として、NMOSTランジスタQ1、Q2によって構成されたフリップフロップ回路にデータを保持するための電流を供給できる。

【0025】上記スタティック型メモリセルによれば、薄膜トランジスタT1、T2をトランスファークラップゲートおよび負荷抵抗としている。したがって、抵抗素子を使用することなく、スタティック型メモリセルを構成することができるため、素子数を減少できるとともに、抵抗素子に接続される電源配線およびコンタクトの数を削除できる。よって、セルの面積を縮小することができるものである。図2は、この発明の第2の実施例を示すものである。

【0026】この実施例は、第1の実施例におけるPチャネル薄膜トランジスタT1、T2をNチャネル薄膜ト

ランジスタT3、T4によって構成したものであり、他の構成は第1の実施例と同様である。この実施例の場合、メモリセルを選択する際、ワード線WLは高電位とされ、メモリセルを選択しない場合、ワード線WLは低電位とされる。図3は、この発明の第3の実施例を示すものである。

【0027】この実施例は、第1の実施例におけるPチャネル薄膜トランジスタT1、T2を2重ゲート型のPチャネル薄膜トランジスタT5、T6によって構成したものである。この薄膜トランジスタT5、T6は、それぞれ第1、第2のゲートG51、G52、G61、G62の相互間に薄膜が設けられている。薄膜トランジスタT5、T6の第1のゲートG51、G61は、それぞれ前記ワード線WLに接続されている。薄膜トランジスタT5の第2のゲートG52は、ノードN2に接続され、薄膜トランジスタT6の第2のゲートG62は、ノードN1に接続されている。

【0028】上記構成において、ノードN1が高電位、ノードN2が低電位、すなわち、“1”データを記憶している場合について考える。ワード線が選択されていない時、薄膜トランジスタT5は第2のゲートG52によってオン状態とされ、薄膜トランジスタT6は第2のゲートG62によってオフ状態とされている。高電位を保持するノードN1とビット線BL間の等価抵抗は小さく、低電位を保持するノードN2とビット線/BL間の等価抵抗は大きくなる。

【0029】このように、薄膜トランジスタT5、T6の抵抗値を変えることにより、高電位を保持するノードの電位を安定化でき、低電位を保持するノードに接続された薄膜トランジスタを流れる電流を減少することができる。したがって、この実施例の場合、メモリセルの消費電力を低減できる。

【0030】この実施例のメモリセルの書き込み、読出し動作は、第1の実施例と同様である。書き込み動作時において、メモリセルの破壊を防止するための条件は、第1のゲートG51が低電位、第2のゲートG52が高電位の場合の薄膜トランジスタT1の駆動電流が、第1のゲートG51が高電位、第2のゲートG52が低電位の場合の駆動電流よりも100倍以上大きいことが必要である。

【0031】また、逆に第1のゲートG51が高電位、第2のゲートG52が低電位の場合の薄膜トランジスタT1の駆動電流が、第1のゲートG51が低電位、第2のゲートG52が高電位の場合の薄膜トランジスタT1の駆動電流よりも100倍以上大きいことが必要である。図4は、この発明の第4の実施例を示すものである。

【0032】この実施例は、トランスファークラップゲートおよび負荷抵抗として、Nチャネル薄膜トランジスタとPチャネル薄膜トランジスタを組合わせたものである。すな

わち、ノードN1とビット線BLの相互間には、Nチャネル薄膜トランジスタT7とPチャネル薄膜トランジスタT8の電流通路が接続され、Nチャネル薄膜トランジスタT7のゲートG7はワード線WLに接続され、Pチャネル薄膜トランジスタT8のゲートG8はノードN2に接続されている。また、ノードN2とビット線/BLの相互間には、Nチャネル薄膜トランジスタT9とPチャネル薄膜トランジスタT10の電流通路が接続され、Nチャネル薄膜トランジスタT9のゲートG9はワード線WLに接続され、Pチャネル薄膜トランジスタT10のゲートG10はノードN1に接続されている。上記構成とすることにより、図3と同様のセルフリップ動作の安定を図ることができるとともに、図2と同様の書き込み、読出し動作を実現できる。図5は、図3に示す回路のパターンを示し、図6、図7はそれぞれ図5に示す6-6、7-7線に沿った断面図である。

【0033】図5乃至図7において、P型の半導体基板30の内部にはソース、ドレイン領域としての拡散層31が設けられている。この半導体基板30の上にはゲート酸化膜32が設けられ、このゲート酸化膜32の上には第1のポリシリコン層33によってNMOSTランジスタQ1、Q2のゲートG1が形成されている。この第1のポリシリコン層33の上には絶縁層34が設けられ、この絶縁層34の上に第2のポリシリコン層35が設けられている。この第2のポリシリコン層35の一端部は、コンタクト部C1において、第1のポリシリコン層33を介して前記拡散層31に接続されている。この第2のポリシリコン層35の前記ゲートG1と対向する部分には、Pチャネル薄膜トランジスタTFT5のチャネル領域CHが設けられ、このチャネル領域CHの両側にソース、ドレイン領域が設けられている。前記NMOSTランジスタQ1のゲートG1は薄膜トランジスタTFT5の第2のゲートG52と共用されている。薄膜トランジスタTFT5のゲート用として、別途ポリシリコン層を設けることも可能であるが、この実施例のような構成とすることにより、ポリシリコン層を削減することができる。

【0034】前記第2のポリシリコン層35の上には絶縁層36が設けられ、この絶縁層36の上には、第3のポリシリコン層37が設けられている。この第3のポリシリコン層37によって薄膜トランジスタTFT5の第1のゲートG51およびワード線WLが構成されている。

【0035】前記第3のポリシリコン層37の上には絶縁層38が設けられ、この絶縁層38の上にはアルミニウム配線からなるビット線BL、/BLが設けられている。このビット線BL、/BLは、コンタクト部C2において前記第2のポリシリコン層35の他端に接続されている。

【0036】前記第1のゲートG51は前記チャネル領

域CHより長くされ、オーバーラップトランジスタを構成している。また、前記第2のゲートG52は前記チャネル領域CHのチャネル長より短くされ、オフセットトランジスタを構成している。

【0037】さらに、前記第2のゲートG52と第2のポリシリコン層35の間の絶縁層34の厚みは、第2のポリシリコン層35と第1のゲートG51との間の絶縁層36の厚みより厚くされ、第1、第2のゲートG51、G52に応じて、薄膜トランジスタT5の駆動力に差がつけられている。

【0038】図6、図7は、NMOSTランジスタQ1およびPチャネル薄膜トランジスタT5について示しているが、NMOSTランジスタQ2およびPチャネル薄膜トランジスタT6の構成は、図6、図7をミラー投影した構成とされている。図8は、図5の変形例を示すものである。図8において、図5と同一部分には同一符号を付す。

【0039】図5において、接地電位Vssの電源線は拡散層31を使用している。これに対して、図8においては、別途ポリシリコン層40を設け、このポリシリコン層40を図示せぬ埋込みコンタクトを介して拡散層31と接続しているものである。

【0040】上記実施例によれば、NMOSTランジスタQ1、Q2と、これらNMOSTランジスタQ1、Q2に比べて、電流駆動能力が十分小さい薄膜トランジスタT1、T2を積層するとともに、これら薄膜トランジスタT1、T2によって抵抗素子とトランスファークロスを兼用し、さらに、電源電位Vssの配線を省略している。したがって、回路パターンの面積を従来に比べて減少することができるものである。すなわち、図5、図8は、図10と同様0.5μmの加工技術を想定したものである。図5に示す回路パターンは、 $2.9 \times 3.9 = 11.31 \mu\text{m}^2$ であり、図8に示す回路パターンは、 $2.9 \times 3.1 = 8.99 \mu\text{m}^2$ である。したがって、図10に示す回路パターンに比べて、面積を62%～49%縮小することができる。

【0041】図9は、図4に示す回路の構造を示す断面図である。切断位置は図5に示す6-6線と同一部分であり、図5、図6と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0042】この実施例の場合、NMOSTランジスタQ1のゲートG1はPチャネル薄膜トランジスタT8のゲートG8を兼ねている。第2のポリシリコン層35にはPチャネル薄膜トランジスタT8のソース、ドレインおよびチャネル領域CHが設けられている。この第2のポリシリコン層35の上には絶縁層51が設けられ、この絶縁層51の上には第4のポリシリコン層52が設けられている。この第4のポリシリコン層52にはNチャネル薄膜トランジスタT7のソース、ドレインおよびチャネル領域CHが設けられている。この第4のポリシリ

13

コン層52の一端はコンタクト部C1において、前記第2のポリシリコン層35の一端に接続され、他端はコンタクト部C2において、前記第2のポリシリコン層35の他端およびビット線BL、/BLに接続されている。この第4のポリシリコン層52の上には絶縁層36が設けられ、この絶縁層36の上にはワード線としての第3のポリシリコン層37が設けられている。この第3のポリシリコン層37はNチャネル薄膜トランジスタT7のゲートG7を構成している。この実施例においても、前述した実施例と同様に回路パターンの面積を削減できる。

【0043】尚、図1、図2に示す実施例も、層の数はそれぞれ相違するが、平面的に見た場合、回路はパターンは図5、図8とほぼ同様である。したがって、これらの実施例も前述した実施例とほぼ等しい面積となる。

【0044】また、上記実施例において、薄膜トランジスタT1～T10の電流通路はポリシリコンによって構成したが、これに限定されるものではなく、例えばアモルファス・シリコンや単結晶シリコンを使用することも可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0045】

14

【発明の効果】以上、詳述したようにこの発明によれば、セル面積の増大を抑えて集積度を向上でき、1ビット当たりの製造コストを低下することが可能なスタティック型メモリを提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例を示す回路図。

【図2】 この発明の第2の実施例を示す回路図。

【図3】 この発明の第3の実施例を示す回路図。

【図4】 この発明の第4の実施例を示す回路図。

【図5】 図3に示す回路のパターン平面図。

【図6】 図5に示す6-6線に沿った断面図。

【図7】 図5に示す7-7線に沿った断面図。

【図8】 図5の変形例を示すパターン平面図。

【図9】 図4に示す回路の構造を示す断面図。

【図10】 従来のスタティック型メモリセルの一例を示す回路図。

【図11】 図10に示す回路のパターン平面図。

【符号の説明】

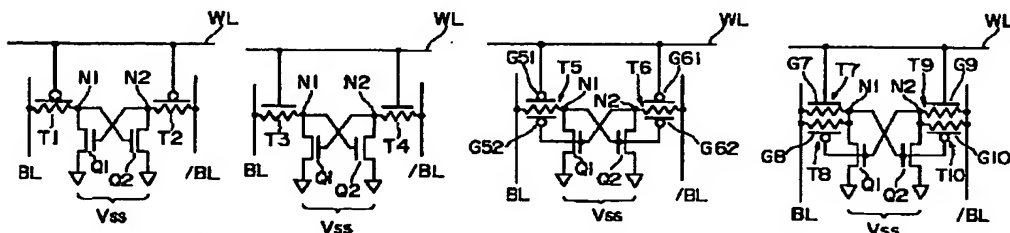
Q1、Q2…NMOSトランジスタ、T1、T2、T5、T6、T8、T10…Pチャネル薄膜トランジスタ、T3、T4、T7、T9…Nチャネル薄膜トランジスタ、BL、/BL…ビット線、WL…ワード線。

【図1】

【図2】

【図3】

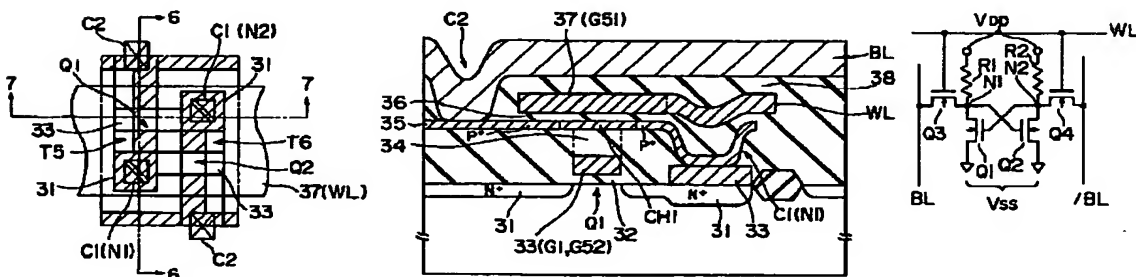
【図4】



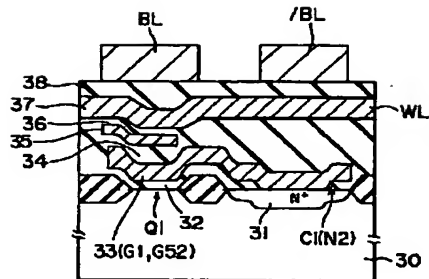
【図5】

【図6】

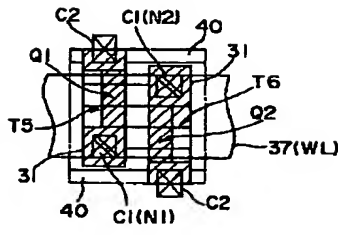
【図10】



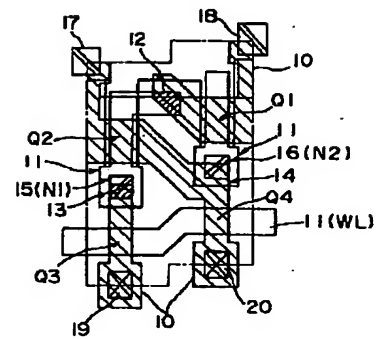
【図7】



【図8】



【図11】



【図9】

